



Specifiche tecniche e linee guida relative alla Fornitura di 25 esemplari di 'ITPM Board' per l'elettronica di 'digital processing' dei segnali in radiofrequenza nell'esperimento Aperture Array Verification System 1 (AAVS1).

CAPITOLATO TECNICO D'APPALTO

1	Sommario	
2	Documenti di Riferimento e Applicabili	4
2.1	Documenti di Riferimento	4
3	Premessa	5
4	Scopo	5
5	Il Signal Processing Flow di SKA-LOW	7
6	La scheda ITPM	8
6.1	Struttura a Blocchi	8
6.2	Alimentazioni	9
6.3	Clock e PPS	9
6.3.1	Albero di clock per l'acquisizione dati	9
6.3.2	PPS	11
6.4	ADC	11
6.5	FPGA	12
6.6	Unita' di Gestione e Controllo della scheda	13
6.7	Condizioni operative di funzionamento	13
7	Fornitura componenti	15
7.1	Generalità	15
7.2	Direttive per la fornitura	16
7.3	Lista dei componenti	16
8	Specifiche di test e criteri di accettazione.....	17
8.1	Test Funzionali	17
8.2	Test di valutazione di Performances.....	19
9	Consegne	21

2 Documenti di Riferimento e Applicabili

2.1 Documenti di Riferimento

- [RD1] “On the Use of Windows for Harmonic Analysis with the Discrete Fourier Transform”, Fredric J. Harris, Proceedings on the IEEE. Vol. 66, No. 1, January 1978, pp. 51–83
- [RD2] “Understanding High Speed ADC Testing and Evaluation”, Alex Arrants, Brad Brannon and Rob Reeder, Application Note AN-835, Analog Devices.
- [RD3] “Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor”, Walt Kester, MT-003 Tutorial, Analog Devices.
- [RD4] “Analog-Digital Conversion”, Walt Kester, Analog Devices.

3 Premessa

Il progetto all'interno del quale è inquadrato il lavoro oggetto di questo documento, è frutto di un progetto TECNO INAF, interamente finanziato dall'Istituto Nazionale Astrofisica (INAF); le Unità di Ricerca (UdR) partecipanti al progetto sono composte da personale dell'INAF che da diversi anni partecipa al progetto Square Kilometer Array (SKA), sia nelle sue fasi preliminari che nella fase di prototipazione dei sottosistemi di cui essi sono responsabili. La partecipazione dei gruppi italiani all'interno del consorzio Aperture Array (AADC) ha prodotto la realizzazione di alcuni prototipi per i diversi componenti di un Aperture Array che potranno essere parti costituenti del futuro SKA.

Il progetto TECNO INAF dal titolo **'Digital Platform Development for back-end design of new generation SKA Aperture Array'** ha avuto come scopo principale la definizione di una piattaforma digitale, ovvero l'insieme di soluzioni hardware, firmware e software in grado di soddisfare le richieste del consorzio AADC all'interno del progetto SKA, relativamente ad alcuni blocchi logico funzionali di competenza diretta del gruppo di lavoro italiano.

Tali blocchi funzionali, a livello sia hardware che firmware hanno delle specifiche ben definite e spesso molto stringenti, tali quindi da presupporre un livello tecnologico molto avanzato, sia sul piano del design che su quello di produzione di prototipi; tale livello tecnologico, tradotto in termini di know-how dei progettisti e dei produttori, presuppone prima di tutto una profonda conoscenza delle problematiche scientifiche e nello stesso tempo un alto livello di expertise nella realizzazione di strumentazione digitale, in particolare di quella basata su tecnologia FPGA (Field Programmable Gate Array) che si è dimostrata la più idonea ad essere applicata nell'ambito di SKA, perché presenta dei consumi e dei costi più contenuti, insieme ad un alto livello di affidabilità.

La sinergia tra gruppi scientifici e progettisti, durante tutto lo svolgimento del progetto, ha dato luogo ad un buon riscontro dei risultati ottenuti con i requisiti posti in essere dal consorzio AADC, sia come specifiche di progetto che come linee guida generali per il 'deployment' del sistema funzionante in ogni sua parte. La realizzazione della scheda digitale, oggetto di questo capitolato di appalto, deve seguire in maniera fedele queste linee guida, non solo al fine di realizzare il miglior prodotto possibile, ma anche allo scopo di colmare il gap informativo relativo proprio alle fasi di deployment, ed in particolare tra le fasi di progettazione e quelle di produzione di massa.

4 Scopo

L'oggetto di questo bando di gara è la realizzazione di una scheda digitale chiamata Italian Tile Processor Module (ITPM) che rappresenti il primo stadio di back-end digitale per il prototipo di array a bassa frequenza del futuro SKA. Il funzionamento di tali array presuppone la sintetizzazione di un beam, ovvero di un cono di ricezione del sistema di antenne, il quale può essere 'orientato elettricamente'; il puntamento del sistema 'aperture array' viene quindi realizzato applicando dei coefficienti di fase diversa ad ogni segnale che proviene da una singola antenna. E' questa la tecnica chiamata 'beamforming', la quale permette di orientare il puntamento di un sistema di antenne, ma anche aumentare la sensibilità di un sistema di ricezione di questo tipo, semplicemente aumentando il numero di antenne in maniera modulare.

La scheda ITPM deve essere in grado di processare un determinato numero (32) di segnali analogici in banda 50-350 MHz provenienti da un gruppo di 16 antenne che costituiscono un 'tile' di SKA, ed in particolare realizzare operazioni come il campionamento analogico/digitale, il filtraggio polifase, la trasformata di Fourier complessa e la rotazione della matrice dei dati tempo frequenza (corner turner), l'indirizzamento dei dati di output sul canale di uscita.

I dati in uscita da ogni 'tile', composta quindi da 16 antenne per 32 polarizzazioni in tutto, saranno elaborati insieme ad altre 'tiles' da uno stadio di post-processing funzionalmente in cascata alle schede ITPM ad esse relative, allo scopo di formare un unico beam per tutto l'array, sintetizzato seguendo una strategia ad albero. Nel caso di SKA, in particolare la fase 1, ogni beam sintetizzato è composto da segnali provenienti da circa 256 mila antenne. In Figura 1 è possibile distinguere la Inner area di SKA Low, entro la quale i segnali viaggiano a radiofrequenza in fibra analogica, salvo essere digitalizzati in bunker e pronti per essere ivi processati dal correlatore di bassa frequenza. Esistono inoltre delle sottostazioni composte da un numero inferiore di antenne, i cui segnali vengono digitalizzati e processati in loco da gruppi di ITPM siti in appositi bunker, i quali spediscono successivamente i dati digitalizzati su fibra ottica digitale direttamente ai gruppi di correlazione presenti nel bunker principale (Figura 2).

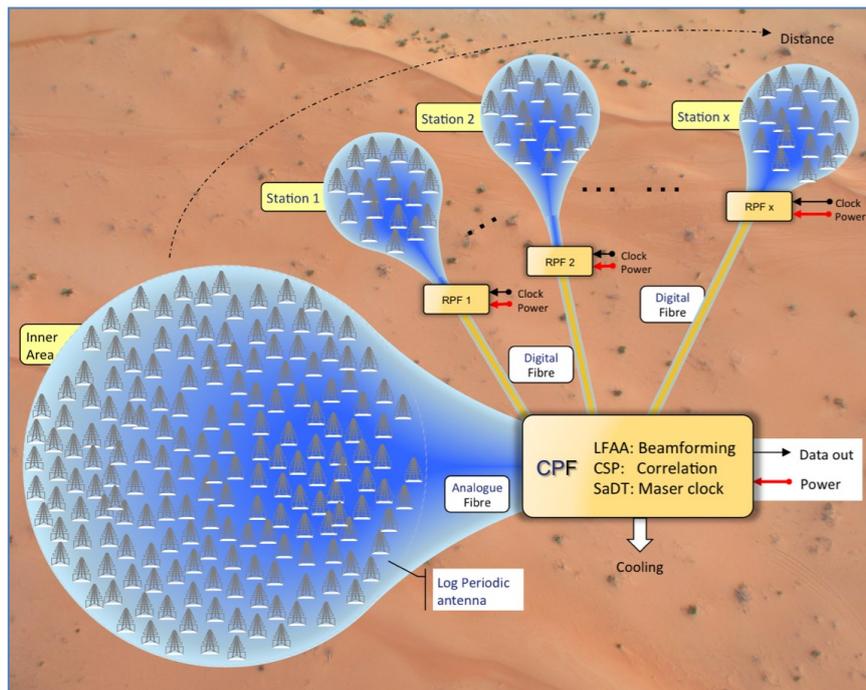


Figura 1: Architettura di SKA Low.

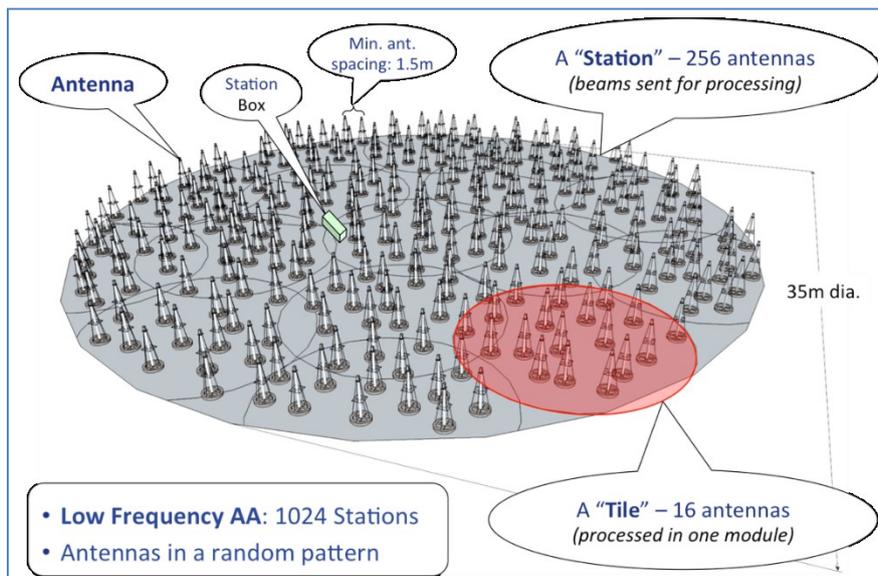


Figura 2: Definizione di Tile.

Le schede oggetto del presente bando saranno impiegate nella fase AAVS1 (Aperture Array Verification System 1) di SKA. Tale fase consiste in una valutazione preliminare in campo (Australia) della soluzione sviluppata dal consorzio AADC per le antenne a bassa frequenza.

Per AAVS1 verranno utilizzate quattro stazioni costituite da una stazione centrale, contenente 256 antenne, e tre stazioni esterne, contenenti ognuna 48 antenne. Il numero totale di antenne impiegate per AAVS1 è quindi 400.

5 Il Signal Processing Flow di SKA-LOW

Come è possibile vedere in Figura 3, il componente principale del flusso di Signal Processing è il modulo ITPM, che funge essenzialmente da interfaccia tra il mondo analogico ed il flusso dati digitalizzato e processato che viene mandato in ingresso al correlatore.

Il segnale radioastronomico captato da una singola antenna, viene amplificato e filtrato da un module PRE-ADU (Analog Digital Unit) la cui uscita analogica è indirizzata verso il blocco di digitalizzazione rappresentato dalla scheda ITPM. Prima di essere campionato, il segnale ancora analogico viene opportunamente condizionato all'interno della ITPM, in modo tale da ottimizzare la dinamica del segnale analogico in funzione delle operazioni di campionamento, queste ultime realizzate da opportuni blocchi ADC le cui caratteristiche sono sviluppate più avanti. A valle del campionamento, da un punto di vista funzionale il processamento del segnale comporta una canalizzazione con filtraggio polifascico e conseguente FFT a N punti frequenza, quindi la formazione di un unico beam sintetizzato combinando i segnali delle 16 antenne in ingresso alla ITPM. Quindi ogni beam sintetizzato viene riversato tramite tool di networking verso il correlatore che sintetizza il segnale di più tile con un meccanismo di selezione ad albero.

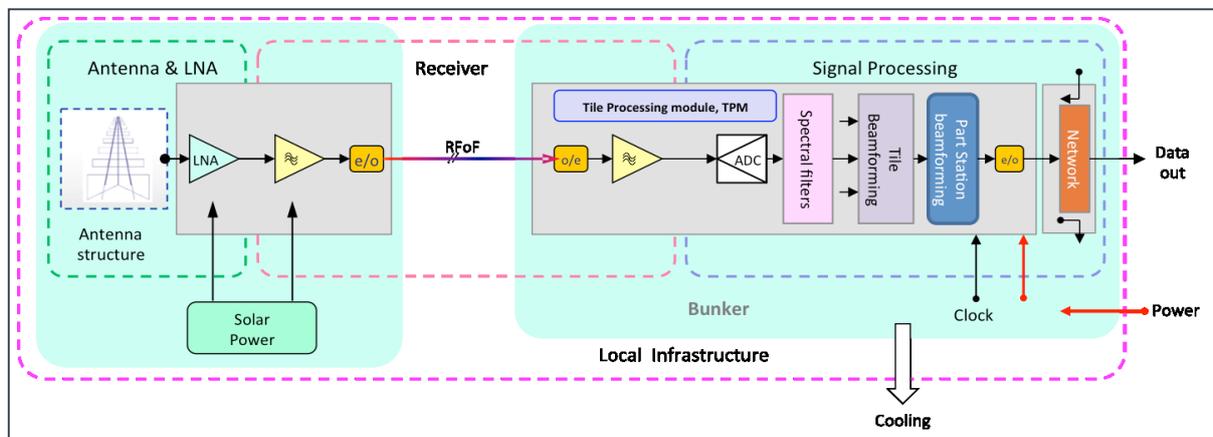


Figura 3: Signal path di SKA LOW.

In sintesi, le funzionalità della scheda ITPM all'interno del flusso logico funzionale dell'intero sistema SKA-Low possono essere così riassunte:

- Convertire in elettrici i segnali ottici analogici in ingresso;
- Condizionare il segnale elettrico in ingresso, amplificandolo e applicando filtri passa banda al fine di ottimizzare la dinamica per la quantizzazione;
- Digitalizzare il segnale a 800 MS/s e indirizzarlo ai blocchi di processing;

- Elaborare il segnale digitale in FPGA;
- Indirizzare il segnale digitale processato come singolo 'Tile beam' al Digital Network (DN);
- Comunicare con il DN per il controllo e monitoraggio del funzionamento (LMC- Local Monitoring and Control).

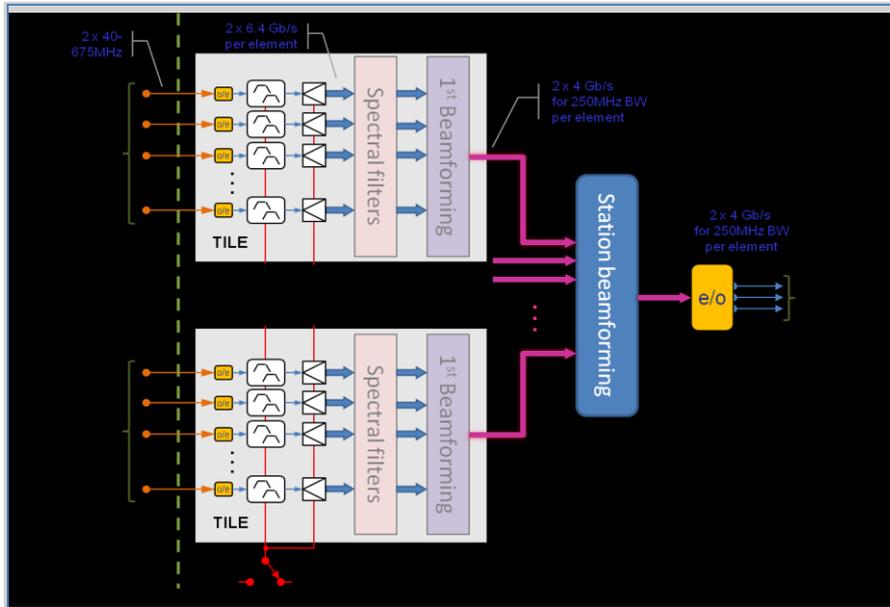


Figura 4: Schema di tile beamforming.

6 La scheda ITPM

E' utile presentare una descrizione funzionale del sistema definito, al fine di inquadrare la struttura ed il funzionamento dei principali blocchi di cui una scheda ITPM è costituita.

I componenti principali indicati nel presente documento sono tutti e soli quelli verificati/validati da INAF durante la fase di definizione e di prototipizzazione del sistema. Essi sono indicati nel Paragrafo 7.3.

6.1 Struttura a Blocchi

La scheda ITPM è il componente responsabile per il processamento del futuro SKA-LOW. Essa è una scheda di dimensione 6U i cui principali componenti sono 2 dispositivi FPGA e 16 convertitori analogico digitale a doppio ingresso, capaci di digitalizzare 32 canali di ingresso RF. La Figura 5 mostra uno schema a blocchi del sistema.

Gli ingressi analogici vengono condizionati on-board al fine di ottimizzare la dinamica del segnale prima della quantizzazione. Per ogni canale analogico, una rete passiva produce il necessario filtraggio passa banda dei segnali ed il loro condizionamento prima della conversione analogico digitale.

Successivamente, i segnali RF condizionati vengono digitalizzati in coppia dai convertitori analogico digitale AD9680, sempre di Analog Devices. Il 'data stream' digitale comprensivo di 32 segnali analogici, viene quindi trasmesso a due dispositivi FPGA della famiglia Kintex Ultrascale XCKU040 di Xilinx mediante collegamenti con protocollo JESD204B. Lo stesso protocollo JESD20B implementato in modalità subclass 1 supporta la condivisione del clock di acquisizione tra tutti gli AD presenti e la sincronizzazione della fase di inizio di acquisizione.

In ogni componente FPGA è implementata un'interfaccia di memoria DDR3L a 64 bit che è in grado di gestire fino a 6 chip di memoria per una capacità totale pari 1,5 GByte e una velocità in lettura o scrittura tali da poter registrare tutti i dati grezzi acquisiti dalla scheda. Un canale QSFP+ è connesso ad ogni FPGA, consentendo la trasmissione dei dati processati su link a 40Gbit Ethernet.

La gestione ed il controllo della scheda sono realizzati tramite un opportuno blocco funzionale che include anche un link da 1Gbit Ethernet con interfaccia RJ45 per la trasmissione e ricezione di pacchetti dati di monitoraggio e controllo.

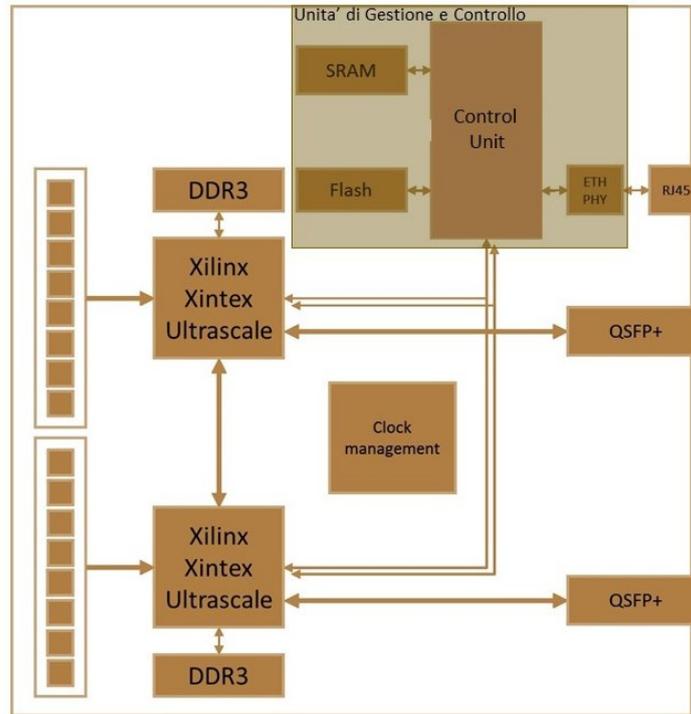


Figura 5: Diagramma funzionale a blocchi per la scheda ITPM.

6.2 Alimentazioni

La scheda ITPM è alimentata da una tensione nel range 12-32 V. Il sistema di alimentazione dovrà fornire le tensioni per le componenti della scheda e alimentare le due schede PRE-ADU con una tensione regolabile dedicata di 3,5V corrente massima 4A.

Il sistema di alimentazione deve permettere l'accensione progressiva e selettiva (FPGA, interfaccia di acquisizione, alimentazione delle PRE-ADU) delle principali parti della scheda; l'unità di gestione deve essere sempre attiva. Deve essere inoltre possibile monitorare tutte le principali tensioni interne e l'assorbimento complessivo della scheda. Procedure di spegnimento parziale devono essere previste.

L'assorbimento di accensione deve tenere conto delle possibili problematiche relative all'accensione simultanea di un grande numero di schede che saranno alloggiate nello stesso sito.

Le alimentazioni delle parti analogiche devono essere implementate rispettando rigidamente le indicazioni del costruttore dei convertitori, garantire i necessari isolamenti e la riduzione del rumore.

6.3 Clock e PPS

6.3.1 Albero di clock per l'acquisizione dati

La Figura 7 mostra il sistema di gestione e distribuzione del clock e della sincronia per l'acquisizione dati. La scheda ITPM accetta un clock reference a 10 MHz attraverso un connettore SMA. Questo clock alimenta un

dispositivo Analog Devices AD9528 JESD204B clock generator; la Figura 6 mostra il diagramma a blocchi funzionale. Il dispositivo AD9528 è un generatore specificatamente progettato per soddisfare i requirements per il protocollo JESD204B. AD9528 supporta due segnali di clock in ingresso, selezionabile tra 10 MHz del reference clock e 10 MHz on-board. Il clock in ingresso selezionato alimenta un primo circuito PLL che pilota un circuito VCXO a 100 MHz, sincronizzando la frequenza del VCXO con quella del clock di ingresso a 10 MHz. E' quindi possibile sintetizzare una vasta gamma di frequenze grazie ad un secondo circuito PLL ed un divisore di clock indipendente associato ad ogni uscita del AD9528.

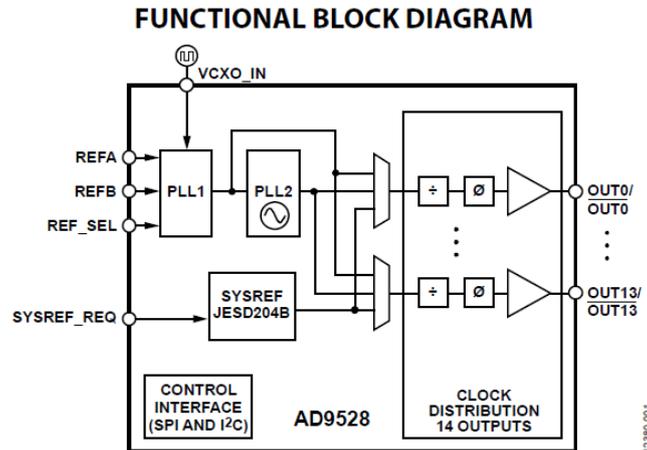


Figura 6: AD9528 Functional Block Diagram.

Il dispositivo AD9528 genera i seguenti clock e segnali di sincronia differenziali:

Name	Purpose	Supported frequency (MHz)
CLK_FPGA0	FPGA0 global clock	175, 200
CLK_FPGA1	FPGA1 global clock	175, 200
CLK_JESD_FPGA0	FPGA0 MGT ref clock	175, 200
CLK_JESD_FPGA1	FPGA1 MGT ref clock	175, 200
CLK_ADC0	ADC sample clock	700, 800, 1000
CLK_ADC1	ADC sample clock	700, 800, 1000
SYSREF_ADC0	ADC sysref	na
SYSREF_ADC1	ADC sysref	na

I segnali di clock e di sincronia generati per il campionamento dei componenti ADC sono forniti da quattro dispositivi clock buffer di Analog Devices ADCLK948 e quindi distribuiti agli ADC.

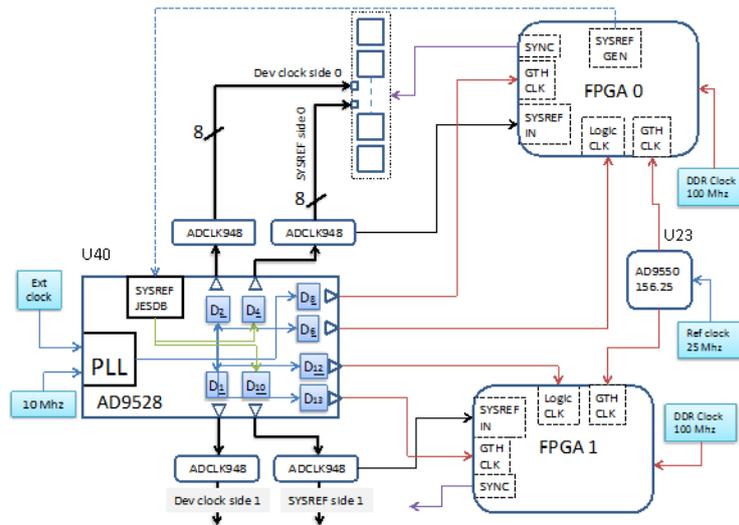


Figura 7: Clock Tree per l'acquisizione dati.

La scheda ITPM monta un oscillatore a 25 MHz connesso ad un dispositivo traslatore di frequenza Analog Devices AD9550 Integer-N. Esso è configurato per generare due segnali di clock a 156.25 MHz che sono connessi al reference clock input dei circuiti Multi Gigabit Transceiver (MGT) dei dispositivi FPGA. Due oscillatori a 100 MHz, uno per ogni dispositivo FPGA, forniscono una opportuna sorgente di clock per interfacciare le memorie DDR3.

6.3.2 PPS

La scheda ITPM riceve un ingresso "Pulse Per Second" attraverso connettore SMA; tale segnale deve essere optoisolato per mezzo di un opportuno accoppiatore ottico, del tipo Fairchild FODM8071 o similari. Il segnale PPS isolato è quindi connesso ad entrambe i dispositivi FPGA.

6.4 ADC

La scheda ITPM monta 16 convertitori analogico-digitale Analog Devices AD9680 Dual Channel, con 14 bits di quantizzazione e fino ad 1Gsample/sec. I convertitori supportano il protocollo JESD204B, che opera il trasferimento dati digitali verso i due componenti FPGA. La Figura 8 rappresenta il diagramma funzionale del dispositivo in questione.

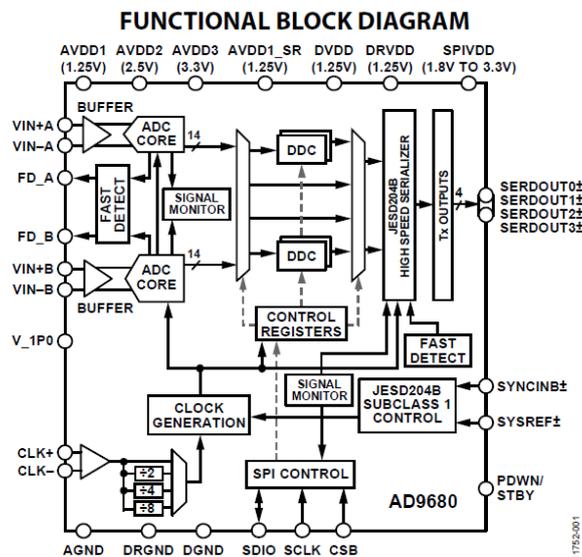


Figura 8: AD9680 Functional Block Diagram.

Il dispositivo AD9680 supporta le modalità operative del JESD204B Subclass 0 e Subclass 1. La scheda ITMP implementa l'hardware per la gestione del SYSREF al fine di implementare le caratteristiche di latenza deterministica per il JESD204B nel modalità operativa Subclass 1.

Il dispositivo AD9860 integra 4 canali JESD204B. Quando tutti i quattro canali sono operativi, è possibile trasferire un massimo di 4*10Gbit/s di 8b/10b dati codificati. A causa del limitato numero di interfacce 10Gbit disponibili su ogni FPGA solo due delle linee JESD204B per ciascun ADC possono essere collegate ad ogni dispositivo. Di conseguenza il massimo data-rate supportato dalla scheda ITPM è 20 Gbit/sec per ciascun ADC; ciò permette agli ADC di lavorare nella modalità dual-channel a 8 bit per campione fino ad 1 GSPS.

Il dispositivo AD9860 supporta una configurazione via interfaccia SPI che deve essere collegata al dispositivo di presente sulla ITPM, le quali sono utilizzate per il controllo e monitoraggio degli ADC. Inoltre è supportata dal dispositivo in questione l'operatività di due segnali Fast Detect che hanno la funzione di rivelatori a soglia. Questi sono direttamente connessi ai dispositivi FPGA e forniscono ad essi informazioni di feedback veloci.

6.5 FPGA

Nella scheda ITPM sono alloggiati due dispositivi Xilinx Kintex Ultrascale XCKU040-FFVA1156, ognuno dei quali fornisce le seguenti interfacce:

- Interfaccia JESD204B per la ricezione dei dati dagli 8 ADCs (16 channels) utilizzando 16 Multi Gigabit Transceiver (MGT).
- Interfaccia DDR3 con 6 chip di memorie DDR3 che supportano 1.5 GByte di memoria su bus di 96 bit. La frequenza operativa massima attesa è di 800 MHz.
- Link FPGA to FPGA per il trasferimento dei dati da una all'altra dei dispositivi FPGA. Tale link consiste di 36 piste LVDS che supportano fino a 1.6 Gbit/s per pista.
- 40 link Gb-E QSFP+ usando 4 MGTs.
- Comunicazione con l'unità di gestione e controllo tramite il bus bidirezionale condiviso di Gestione e Configurazione (Figura 9).
- SelectMAP bus condiviso tra i componenti FPGA, pilotato dall'unità di Gestione e Controllo e utilizzato per caricare il bitstream delle FPGA.

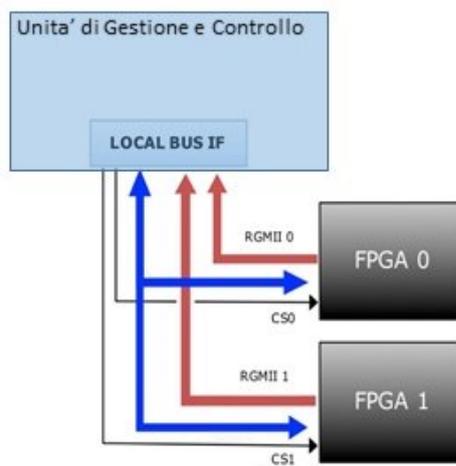


Figura 9: Bus di Gestione e Configurazione.

L'elenco delle principali connessioni da e verso i dispositivi FPGA è contenuto in Allegato 1.

6.6 Unita' di Gestione e Controllo della scheda

La scheda ITPM implementa un complesso meccanismo di supervisione e controllo, che svolge le seguenti funzioni:

- Gestione accensione e spegnimento della scheda
- Interfaccia 1 Gb-E per comunicazione via Ethernet con il sistema di LMC- Local Monitoring and Control di piu' alto livello.
- Programmazione degli ADC, Analog Amplifiers e Analog Front End tramite SPI.
- Generazione dei segnali di clock per la scheda.
- Monitoraggio di tensioni e correnti.
- Monitoraggio temperature scheda e componenti principali.
- Memorizzazione del firmware dei dispositivi FPGA.
- Monitoraggio e controllo delle configurazioni dei dispositivi FPGA.
- Gestione di stack TCP.
- Essere dotata di una CPU a 32 bit con supporto di sistema operativo.
- Essere dotata di memorie non volatili e volatili per esecuzione di programmi di gestione e di interfacciamento con il software di controllo remoto.

L'unita' di gestione della scheda deve permettere il completo controllo remoto delle unita' funzionali presenti sulla scheda, inclusa la funzionalita' di aggiornamento del firmware.

L'unita' di gestione deve essere sempre attiva e raggiungibile da remoto; il suo consumo deve essere contenuto e in generale non deve eccedere i 5 Watt con il link di rete attivo al gigabit.

6.7 Condizioni operative di funzionamento

Le schede ITPM oggetto del presente bando verranno utilizzate per AAVS1. Considerato il numero di antenne impiegate per AAVS1, la quantita' di schede che saranno realizzate e' pari a 25.

Le schede verranno inserite in rack e dissipate ad aria. I rack si troveranno presso il locale di installazione di SKA per il quale sono previste condizioni di temperatura e umidita' controllate (25 °C).

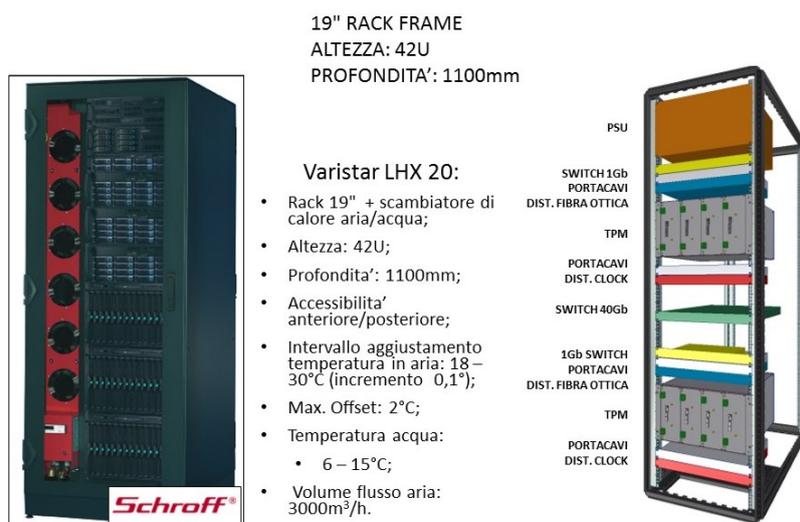


Figura 10: AAVS1 armadio di alloggiamento schede, progetto preliminare.

Gli armadi che verranno utilizzati saranno i Varistar LHX 20, già disponibili presso il sito finale di installazione. Il sistema di ventilazione interno sarà rivisto sulla base delle esigenze effettive dei componenti ineriti e del loro posizionamento.

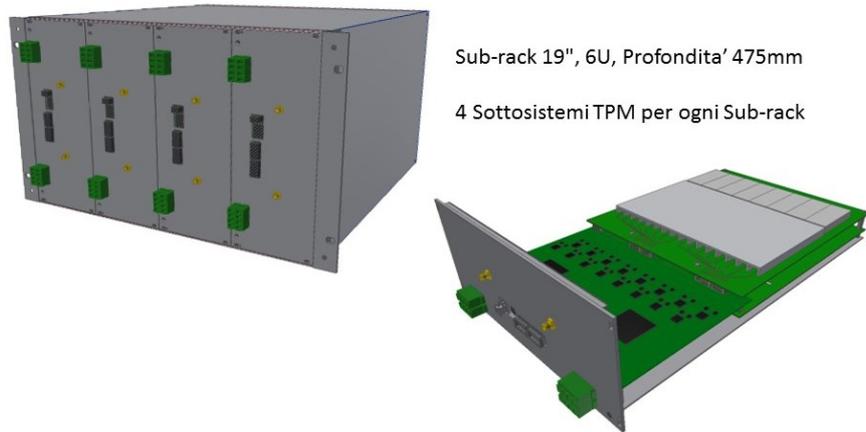


Figura 11: AAVS1 Alloggiamento sottosistema TPM nel sub-rack.

Nei sub-rack verranno alloggiati i sottosistemi TPM. Ciascun sub-rack è previsto contenere 4 sottosistemi TPM e il relativo sistema di ventilazione. Ciascun sottosistema è composto da 1 scheda ITPM e 2 schede PRE-ADU; quest'ultime forniscono i 32 segnali analogici in ingresso alla scheda ITPM. L'alloggiamento nel sub-rack dei quattro sottosistemi e' mostrato in Figura 11.

Le schede dovranno essere fornite con un opportuno dissipatore che ne permetta il funzionamento continuativo per lunghi periodi nelle condizioni previste per AAVS1. Il funzionamento di tutti i dispositivi deve essere garantito entro i limiti di temperatura previsti da ciascun produttore.

Un esempio di una possibile installazione ed i risultati delle simulazioni fatte sui prototipi sono riportati rispettivamente in Figura 12 e Figura 13.

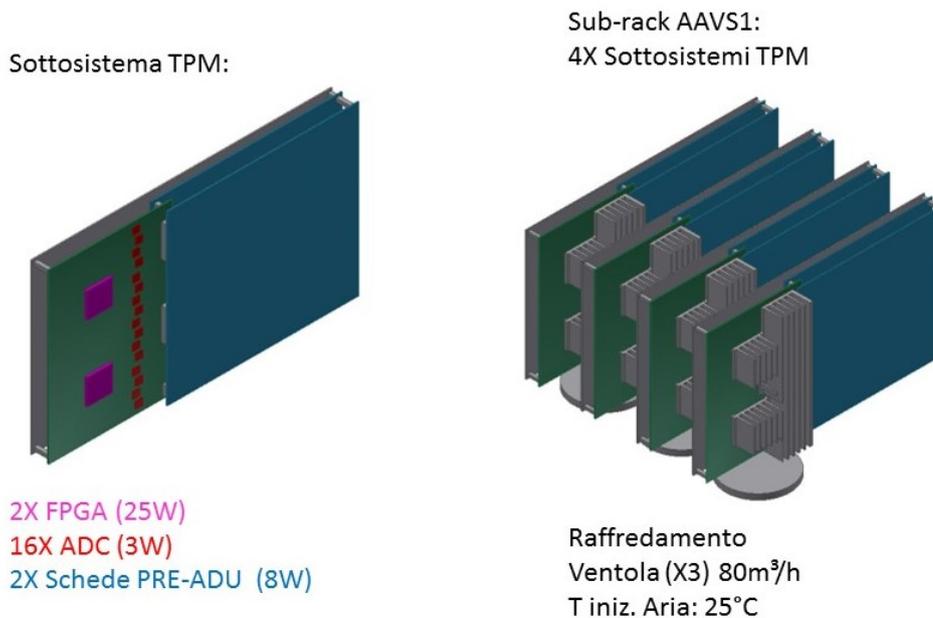


Figura 12: Studio di dissipazione sui prototipi del sottosistema TPM.

L'assorbimento previsto per i dispositivi FPGA programmati con il firmware di esercizio è di 25 Watt cadauno, mentre per ogni ADC ed ogni scheda PRE-ADU è rispettivamente 3 Watt e 8 Watt. L'assorbimento degli altri componenti nelle rispettive condizioni di esercizio si evince dai relativi data-sheet.

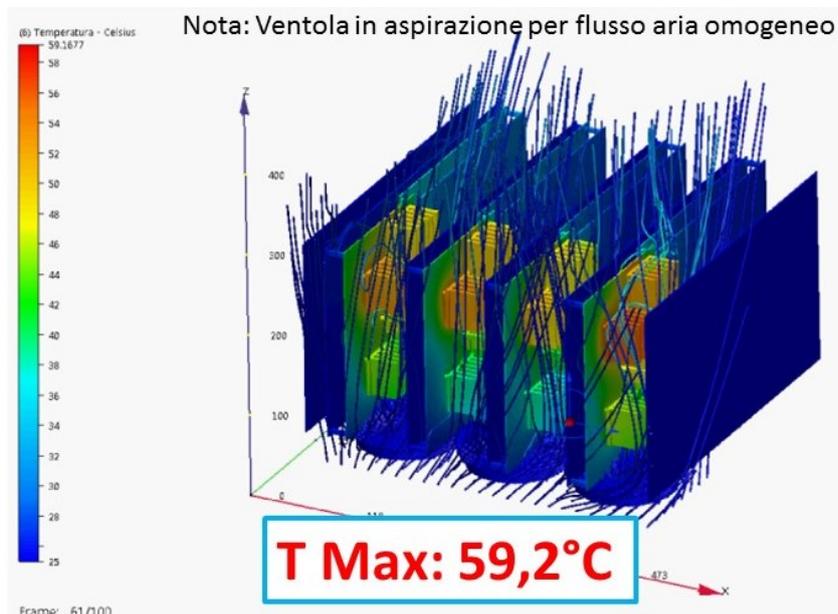


Figura 13: Analisi termica preliminare.

Il risultato delle simulazioni termiche per le unità prese in considerazione, i.e. dispositivi FPGA, ADC e schede PRE-ADU, è illustrato in Figura 13. La massima temperatura di funzionamento raggiunta è pari a 59,2°C.

Il disegno meccanico della ITPM è contenuto in Allegato 2.

7 Fornitura componenti

7.1 Generalità

La scheda ITPM è un sistema complesso dal punto di vista funzionale, ma lo è ancor di più da un punto di vista strutturale considerato l'alto numero di componenti presenti, di diversa tipologia. Si va da componentistica a radiofrequenza, fino a chip ad alta complessità, come FPGA o convertitori analogico digitale, a dispositivi con alta frequenza di accesso come le memorie DDR. I requisiti funzionali di un sistema ITPM dipendono fortemente dalla qualità dei componenti scelti per la realizzazione della scheda; essa deve avere una ottima affidabilità in termini di durata, operatività e failure rate, presentare una bassa sensibilità alle variazioni ambientali o operative, e richiedere un numero minimo di interventi di manutenzione.

Negli ultimi anni, in corrispondenza della crisi economica mondiale, il livello di competitività sempre maggiore ed una corsa al prezzo più basso, ha portato ad un peggioramento della qualità dei componenti elettronici, quindi sempre più in calo in proporzione al prezzo d'acquisto del prodotto. Problemi aggiuntivi nascono sia per produttori che per progettisti, nel caso di acquisto di componentistica contraffatta, dalla quale eventualità comunque è possibile difendersi prendendo determinati accorgimenti.

7.2 Direttive per la fornitura

Alla luce di quanto esposto, è necessario porre una grande attenzione sul piano della fornitura dei componenti, sia da un punto di vista della ditta appaltatrice che da un punto di vista della committenza e delle facoltà di controllo che essa può esercitare. Le linee guida nascono dall'esigenza di garantire sul piano sostanziale il più alto livello di affidabilità possibile per la scheda in oggetto. Esse possono essere riassunte come di seguito:

- a) I componenti da utilizzare nell'ambito del progetto devono essere di ottima qualità, perfettamente funzionanti e corredati da certificazione opportuna comprovante l'originalità e la tracciabilità. La ditta appaltatrice è considerata responsabile per eventuale uso di materiali non conformi a queste direttive o sprovvisti di opportuna documentazione.
- b) I componenti da utilizzare nell'ambito del progetto devono essere identici per tipo, modello, codici e fattura a quelli utilizzati nel progetto e descritti nel paragrafo 7.3, 'Lista dei Componenti'. Eventuali variazioni per qualsiasi componente devono essere concordate con la Committenza mediante opportuni Request for Change Proposal (RFCP) riportando le motivazioni opportune e tutta la documentazione accessoria relativa ai dispositivi sostitutivi. Tali variazioni devono passare al vaglio della Committenza ed approvate da questa.
- c) E' mandatoria la fornitura di componenti direttamente dalle case costruttrici. INAF ha concordato con alcune di esse, ed in particolare Analog Devices and Xilinx, prezzi speciali negoziati per applicazioni esclusive riferite nell'ambito dello Square Kilometer Array (SKA), quale è proprio la scheda ITPM. Le aziende che intendono partecipare al bando devono farne esplicita richiesta a INAF, che autorizzerà l'accesso al prezzo negoziato. L'accesso a tali prezzi, autorizzato da INAF per ogni esplicito richiedente, è valido solo per la produzione delle schede ITPM nell'ambito del presente bando.
- d) INAF può richiedere a campione qualsiasi tipo di dispositivo, in qualsiasi quantità, per accertarsi del relativo corretto funzionamento, oltre che far valere la possibilità di accedere alla documentazione corredata a ciascuna fornitura di materiale elettronico.
- e) Le informazioni commerciali saranno da ritenersi confidenziali e potranno essere utilizzate solo per le valutazioni delle componenti di costo del presente bando.
- f) Si richiede insieme alla fornitura delle schede, la fornitura anche dei cavi di alimentazione per ogni scheda iTPM consegnata. I prodotti sono del tipo 'cavo SAMTEC MMSD-02-20C-L-40.00-S-K-LUS, lunghezza minima di 1 metro.

7.3 Lista dei componenti

La seguente lista è mandatoria.

Quantità/scheda	Part number	Descrizione
2	XCKU040-2FFVA1156	Main FPGAs
1	AD9528BCPZ	Sampling clock generator
4	ADCLK948BCPZ	Sampling clock distributors

16	AD9680BCPZ-1000	Analog to digital converters
32	ADA4961ACPZN-R7	Analog amplifiers

La lista dei connettori mandatori è la seguente:

Quantita'/scheda	Part number	Description
2	MMCX-J-P-H-ST-MT1	mSMA, Reference clock and PPS input
4	IJ5-08-05.0-L-S-1-TR	RF IN CONNECTOR
2	ERF8-010-05.0-L-DV-TR	EXPANSION INTERFACE
1	IPL1-102-01-L-D-RA-K	POWER IN

8 Specifiche di test e criteri di accettazione

Le schede ITPM devono essere consegnate pienamente funzionanti con un firmware di collaudo e script per l'esecuzione dei diversi test tramite interfaccia di gestione. Ogni scheda verrà controllata in tutte le funzioni richieste, con verifica funzionale completa e a campione sul rispetto dei valori nominali previsti.

Ogni scheda consegnata dovrà essere marcata con identificativo unico e leggibile da operatore.

Le schede devono essere consegnate con il dissipatore smontato per poter essere sottoposte ai controlli preliminari.

Ogni scheda deve essere consegnata con il relativo report di collaudo che deve includere tutti i risultati dei test previsti.

8.1 Test Funzionali

I controlli si sviluppano sui seguenti livelli:

1. Meccanico e visivo: qualità dei circuiti stampati che devono essere realizzati a regola d'arte (PCB in classe II, secondo le correnti norme IPC) con buona planarità della scheda ($\pm 1\%$), uniformità del solder, assenza residui di lavorazione, posizionamento del solder ($\pm 50 \mu\text{m}$), struttura dei via planare, presenza di sezione metallografica del PCB e report controllo impedenza linee 10G con tolleranza massima $\pm 10\%$ sui valori nominali previsti.
2. Montaggio: deve essere disponibile il report che dia prova dei seguenti controlli.

- a. Processo di montaggio: presenza pasta sul 100% dei pad pre-montaggio; controllo raggi X su tutti i BGA per ogni scheda; report per lotto per pasta saldante utilizzata e profilo forno report anomalie se presenti.
 - b. Controlli post montaggio: presenza di tutti i componenti; per quelli a montaggio superficiale di altezza inferiore ai 2,5 mm posizionamento, rotazione, planarità, presenza menisco di saldatura con precisione (± 100 um) fino alla dimensione dello 0402, precisione (± 50 um) per componenti in formato 0201 se presenti. Da approvare componenti eventuali di dimensione inferiore. Posizionamento, rotazione e planarità BGA di altezza inferiore o uguale ai 2,5 mm (± 50 um), BGA di altezza superiore ai 2,5 mm (± 100 um), per i QFN di altezza inferiore o uguale ai 2,5 mm (± 30 um).
3. Test elettrico: impedenza di ingresso; valori tensioni interne, valore RMS e picco picco ($\pm 5\%$ su tensioni digitali bassa velocità e ingresso 5V, $\pm 3\%$ su digitali alta velocità e analogiche), assorbimenti scheda accesa non programmata, assorbimento in programmazione scheda e scheda programmata, assorbimento test scaricamento dati a 800 Msample/sec su 32 canali, monitoraggio assorbimento esterno per ogni test; rispetto misure emissività condotta normativa EN 55-022 per la parte applicabile.
4. Funzionalità di gestione della scheda: caricamento e aggiornamento firmware; monitoraggio tensioni, assorbimento interno e temperature; funzionalità JTAG per CPLD e FPGA; accesso in lettura/scrittura dei registri di configurazione di tutti i dispositivi con interfaccia bus; controllo funzionalità processore e delle relative memorie, invio/ricezione pacchetti di verifica.
5. Funzionalità di elaborazione delle FPGA: test funzionale e controllo del report di esecuzione test memorie DDR eseguito dal fornitore, analisi rispetto delle marginalità alla massima frequenza operativa che deve includere l'analisi dell'ampiezza dato valido rispetto al semiperiodo del clock; test funzionale del bus di collegamento tra le due FPGA, analisi delle marginalità come per le memorie; test funzionale e di qualità serializzatori/deserializzatori canale 40 Giga ethernet mediante inserimento cavo esterno in fibra da 3m posto in loopback su ogni interfaccia, analisi apertura diagramma occhio con tool Eyescan fornito da Xilinx, test funzionale mediante connessione a 40G, verifica presenza link e trasmissione pacchetti di prova UDP senza perdita di pacchetti (minimo 10^7 pacchetti a lunghezza fissa da 1KByte); controllo assorbimento scheda per ogni test in esecuzione; controllo presenza segnale PPS in ingresso.
6. Funzionalità di acquisizione dati da ADC a 700 MS/sec e 800 MS/sec: verifica connessioni JESD tra FPGA e ADC; controllo funzionale completo e di stabilità dei singoli link JESD mediante analisi apertura occhio con il tool Eyescan fornito da Xilinx o equivalente; controllo di segnalazione corretta del flag di superamento del limite di ampiezza del segnale di ingresso con segnale al 110% dell'intensità massima prevista; controllo generazione clock dalla PLL con e senza riferimento esterno a 10 MHz.
7. Acquisizione dati con clock di riferimento esterno collegato: controllo report di collaudo di acquisizione da ingressi RF; controllo flatness spettro acquisizione dati con ingressi terminati 50 ohm, in assenza di segnale, acquisizione su entrambe le bande; controllo spettro di acquisizione dati da canale singolo con segnale monocromatico a tre frequenze (minima, media, massima) e di intensità 90% della massima in ingresso per ogni canale, verifica presenza segnale e suo valore medio; controllo massimo cross talk canale con i due più adiacenti per lato come da requisiti, verifica assenza interferenza maggiore di 60dB.

8. Il collaudo funzionale dei bus veloci realizzati con gli I/O a velocità superiori a 400 MHz o 800 MBps e i transceiver delle FPGA deve essere eseguito con pattern di test PRBS8 o similare, la probabilità di errore per bit deve essere non maggiore di 10^{-13} per i link 10G, di 10^{-12} per gli altri.
9. L'acquisizione dati deve essere effettuata con la sorgente di clock esterna condivisa con i generatori di segnale e in ambiente a ridotto rumore elettromagnetico. Il rumore di fondo dei canali senza segnale terminati a 50 ohm deve essere piatto ($\pm 1.5\%$) nell'intervallo di frequenze 35 MHz- 400 MHz e non deve essere superiore a -60 dB per accettare la misura.

I test di cui ai paragrafi 8, e 9 saranno effettuati dopo il montaggio del dissipatore con il monitoraggio degli assorbimenti e delle temperature di scheda attivi.

L'elenco completo dei test di accettazione da effettuare sulla scheda ITPM è riportato in Allegato 3.

8.2 Test di valutazione di Performances

La responsabilità di questi test di performances è dell'INAF, che si impegna a disporre i medesimi nelle stesse modalità seguite nelle fase di qualifica dei prototipi costruiti e misurati, le quali sono state le stesse accettate all'interno del Consorzio LFAA e che costituiscono una diretta conseguenza dei 'requirements' posti in fase di progetto del sistema di acquisizione SKA LOW.

La ditta aggiudicatrice è invitata a prendere parte a questi test per garantire una collaborazione fattiva sulla buona riuscita del prodotto, ma in nessun modo è possibile modificare le procedure seguite nè la natura dei risultati ottenuti, i quali sono considerati essenziali per la corretta conclusione delle fasi lavorative in questione.

Risultati non soddisfacenti o non 'compliant' con le specifiche di cui sopra, sono quindi essere causa di non accettazione dei prodotti consegnati.

Alcuni test si sono resi necessari al fine di valutare le prestazioni di rete analogica a monte del modulo ADC installato sulla ITPM ADU Board, le relative interconnessioni con il sotto-sistema di elaborazione della scheda e il blocco ADC stesso. Questi test sono importanti anche per valutare l'influenza del circuito di distribuzione del clock.

La maggior parte delle prove da eseguire sono di tipo dinamico, tipicamente realizzati con il segnale analogico alla frequenza nominale con una potenza di 1 dB sotto il livello del fondo scala (dBFS) del segnale. La configurazione di base per il collaudo dinamico comprende un generatore di segnale, filtro passa-banda, misuratore di potenza (o analizzatore di spettro), alimentatori a basso rumore, PC / Workstation per l'acquisizione e l'analisi dei dati e naturalmente la ITPM da testare.

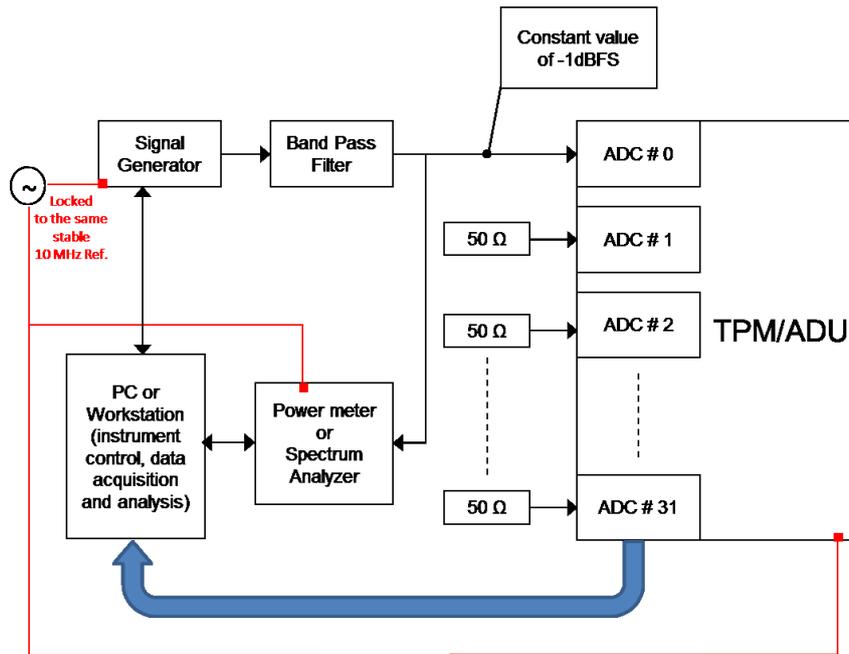


Figura 14: Diagramma a blocchi per il single tone test.

La prova su banco deve essere fatto in modo da effettuare sulla board ADU ITPM le misure delle armoniche e dei segnali spuri generati dalla ITPM stessa, quindi il segnale di test in input deve essere filtrato correttamente per abbassare il più possibile il livello di armoniche e sub-armoniche. L'ambiente di prova deve essere il meno possibile contaminato da interferenze a radiofrequenza (RFI), quindi si raccomanda, prima di iniziare la sessione di test, di eseguire una misurazione RFI ambientale. La 'gain flatness' in uscita alla ITPM deve essere influenzato dalla risposta del filtro e dal livello di stabilità del generatore di segnali RF lungo la gamma di frequenze in test, quindi il sistema deve essere controllato in anello chiuso allo scopo di garantire un livello costante del segnale in ingresso per l'ADC, solitamente impostato su -1dBFS, sia per l'analisi a singolo-tono che per quella a due toni.

I parametri di performances sono valutati con una analisi FFT dei dati ottenuti in uscita alla board ITPM. Tipicamente questa analisi può essere divisa in analisi a singolo o a doppio tono, a seconda del tipo di segnale di test iniettato in ingresso.

Si raccomanda che le frequenze del segnale di ingresso siano scelte secondo la seguente relazione:

$$M * F_i = J * F_s$$

Dove M è il numero di campioni in un data record, F_i è la frequenza del segnale in ingresso, J è un numero primo intero di cicli della forma d'onda di ingresso nel record dei dati, ed F_s è la frequenza di campionamento. Inoltre, il generatore di segnale deve essere agganciato in fase con il generatore di clock del segnale utilizzato, per attivare il campionamento dell'ADC. Queste due condizioni assicurano un campionamento coerente che fornisce i migliori risultati per misurare accuratamente le componenti spettrali di rumore e distorsione della FFT.

Se il campionamento coerente non può essere raggiunto, una funzione finestra di pesatura deve essere applicata al record dei dati temporali per ridurre la dispersione spettrale (leakage). Finestrare consiste nel moltiplicare i dati nel dominio del tempo con una funzione finestra adatta con lobi low-side per risolvere il rumore e componenti armoniche nello spettro di frequenza. Per ulteriori informazioni e dettagli su come scegliere la funzione di finestra FFT destra possono essere trovati in [1]. È molto importante che, mentre il segnale sorgente è collegato ad un ingresso ADC, tutti gli altri ingressi devono essere terminati a 50 ohm. Tutte le prove devono

essere ripetute per tutti gli ingressi ADC per valutare le prestazioni di ciascuna catena input e misurare il cross-talk tra i canali diversi.

Le performances devono essere misurate nelle due bande di frequenza:

- 50-375 MHz (“Low frequency band”) sampling data at 800 MSPS (1st Nyquist zone);
- 375-650 MHz (“High frequency band”) under-sampling data at 700 MSPS (2nd Nyquist zone)

con uno sweep di frequenza a step di circa 1 MHz.

Il secondo e terzo ordine I prodotti di intermodulazione di secondo e terzo ordine (IMD2 e IMD3) possono essere calcolati su un solo punto della banda bassa e un punto della banda alta. Le frequenze suggerite dei due toni (che devono essere equalizzate esattamente allo stesso livello dopo l'attenuazione del filtro) sono 184 e 187 MHz per la banda bassa frequenza, e 500 e 503 MHz per la banda ad alta frequenza, sempre tenendo conto l'algoritmo per calcolare le frequenze secondo la frequenza di campionamento dell'ADC, come detto prima. Ulteriori dettagli sui set-up procedure dei test, e sui parametri di performances e la loro valutazione possono essere trovati nei riferimenti nel paragrafo 2.1.

9 Consegne

Il presente bando prevede le seguenti consegne:

WP 1 Prototipizzazione

- n° 2 prototipi delle schede ITPM che saranno sottoposti a verifica funzionale e qualitativa dai laboratori INAF, da consegnarsi presso la sede INAF- Istituto di Radioastronomia di Medicina, come da bando.
- I prototipi dovranno essere corredati dei seguenti elementi:
 - o Manuale d'uso, indicante dettaglio architettura di scheda, lista componenti principali, struttura dei bus interni, specifiche operative, pin-out dei componenti programmabili e dei connettori di debug, matrici di connessione dei bus, le procedure di accensione, programmazione ed esecuzione dei test, caratteristiche elettriche statiche a scheda spenta e nelle condizioni di test. Il testo deve essere in lingua inglese.
 - o Script per eseguire le funzioni di programmazione della scheda
 - o Script per eseguire il download dei dati dagli AD attraverso il link Ethernet di management
 - o Topografico, modello meccanico 3D in formato aperto (STEP o similari), analisi termica della scheda in aria con potenze massime previste per i componenti
 - o Report di signal integrity per tutti i bus presenti su scheda
 - o Tutti i data-sheet dei componenti programmabili presenti
- Le schede dovranno essere corredate dei seguenti elementi:
 - o Dissipatori se necessari adatti alle condizioni di esercizio previste per AAVS1
 - o Report di collaudo come dettagliato nelle specifiche di accettazione, relative ai punti 1,2,3,4,5,6,7,8, 9
 - o Cablaggi accessori per eventuali rimandi di connettori interni a pannello

WP 2 Specifiche di collaudo

- Deve essere consegnata la seguente documentazione per approvazione:
 - o Specifiche e procedure di collaudo per il test elettrico e funzionale

- Manuale di collaudo
- Struttura dei report di collaudo

WP 3 Produzione esemplari per AAVS1

- n° 25 schede di produzione, corredate della seguente documentazione aggiuntiva rispetto ai prototipi:
 - elenco eventuali modifiche effettuate rispetto ai prototipi
 - Aggiornamenti documentazione precedente
 - Manuale del collaudo con descritte le specifiche di test e qualifica effettuale
 - Report di collaudo
- Report processo acquisto materiali inclusivo delle eventuali certificazioni per la tracciabilità dei componenti principali
- Report processo di produzione, inclusivo delle eventuali certificazioni per la tracciabilità della lavorazione
- Per ogni lotto di produzione dei circuiti stampati un esemplare nuovo, sottovuoto con assorbitore/segnalatore di umidità e identificativo del lotto di produzione

Nota: possono concorrere anche i n.2 prototipi al numero delle schede di produzione da consegnare qualora non siano state apportate modifiche alle schede e questi siano perfettamente funzionanti.